



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月16日

出 願 番 号

Application Number:

特願2000-349800

出 願 人

Applicant(s):

ソニー株式会社

RECEIVED
MAR 15 2002
TECHNOLOGY CENTER 2600

RECEIVED

JUL 15 2002

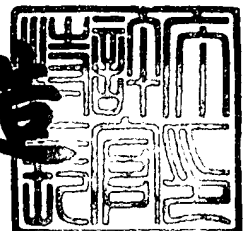
Technology Center 2600

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年10月26日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3094509



COPY OF PAPERS
ORIGINALLY FILED

0300
#5
BT
7-16-02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Nobuyuki Yasuda et al.
Serial No.: 10/007,837
Filed : November 8, 2001
For : SAMPLING FREQUENCY CONVERSION APPARATUS

2817

I hereby certify that this paper is being deposited this date with the U.S. Postal Service in first class mail addressed to Assistant Commissioner for Patents, Washington, D.C. 20231.

Jay H. Maioli

Jay H. Maioli
Reg. No. 27,213

Date
February 14, 2002

RECEIVED

JUL 15 2002

Technology Center 2600

February 13, 2002
1185 Avenue of the Americas
New York, NY 10036
(212) 278-0400

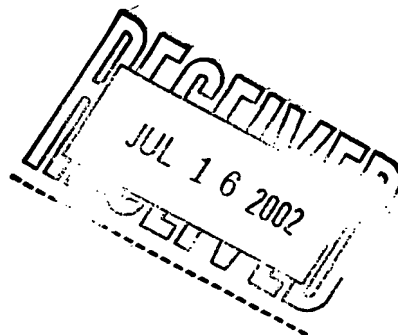
CLAIM FOR PRIORITY AND DOCUMENT SUBMISSION

Assistant Commissioner of Patents and Trademarks
Washington, D.C. 20231

Sir:

A claim for priority under the provision of 35 USC 119 is hereby entered in the above-identified application.

In support thereof enclosed is a certified copy of Japanese Patent Application No. P2000-349800 filed on November 16, 2000.



RECEIVED
MAR 15 2002
TECHNOLOGY CENTER 2600

Entrance of the priority claim is solicited.

Respectfully submitted,
Cooper & Dunham LLP

A handwritten signature in black ink, appearing to read "Jay H. Maioli". The signature is written in a cursive, flowing style.

Jay H. Maioli
Reg. No. 27,213

File No. : 7217/65962
JHM:ma
Enc.

【書類名】 特許願

【整理番号】 0000942001

【提出日】 平成12年11月16日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 7/00

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 安田 信行

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 大栗 一敦

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100080883

【弁理士】

【氏名又は名称】 松隈 秀盛

【電話番号】 03-3343-5821

【手数料の表示】

【予納台帳番号】 012645

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特 2 0 0 0 - 3 4 9 8 0 0

【包括委任状番号】 9707386

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 サンプリング周波数変換装置

【特許請求の範囲】

【請求項 1】 第 1 のサンプリング周波数の入力データのサンプリング周波数を、第 2 のサンプリング周波数に変換するサンプリング周波数変換装置において、

上記入力データ又は入力データをオーバーサンプリングしたデータを連続的に書込み、書込みアドレスに対して所定のアドレス差で書込まれたデータを連続的に読出す記憶手段と、

上記記憶手段から読出されたデータを補間処理して上記第 2 のサンプリング周波数のデータとする補間処理手段と、

上記記憶手段の書込みアドレスと読出しアドレスのアドレス差を検出するアドレス差検出手段と、

上記アドレス差検出手段が検出したアドレス差を最適化させる制御を行い、上記入力データが供給され始めてから所定期間、制限をつけずにアドレス差の最適化を実行させ、上記所定期間が経過した後、所定の制限を設定してアドレス差の最適化を実行させるアドレス制御手段とを備えた

サンプリング周波数変換装置。

【請求項 2】 請求項 1 記載のサンプリング周波数変換装置において、

上記所定期間は、入力データが供給され始めてから、この入力データのサンプリング周波数と出力データのサンプリング周波数との差が安定するのに要する時間以上の期間である

サンプリング周波数変換装置。

【請求項 3】 請求項 1 記載のサンプリング周波数変換装置において、

上記入力データの供給され始めとして、入力データの切換えがあったときを含むようにした

サンプリング周波数変換装置。

【請求項 4】 請求項 1 記載のサンプリング周波数変換装置において、

上記アドレス制御手段は、上記制限をつけずにアドレス差を最適化する制御として、アドレス差と最適値とを比較して最適値に近づけさせる制御を行い、上記

所定の制限を設定してアドレス差を最適化する制御として、上記最適値を中心として一定範囲内にアドレス差が入るように制御する

サンプリング周波数変換装置。

【請求項 5】 請求項 4 記載のサンプリング周波数変換装置において、

上記アドレス制御手段によるアドレス差と最適値とを比較して最適値に近づけさせる制御として、変化するアドレス差の値が、最適値を越えた時点又は最適値を下回った時点を、最適なアドレス差と判断する

サンプリング周波数変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタルオーディオデータなどのデジタルデータのサンプリング周波数を変換するサンプリング周波数変換装置に関する。

【0002】

【従来の技術】

近年、デジタルオーディオデータを、デジタルのままで記録媒体に記録させることが可能な記録媒体が各種実用化されており、また、放送データ或いはインターネットで伝送されるデータとして、デジタル化されたオーディオデータが伝送されることも一般化している。

【0003】

ここで、デジタルオーディオデータは、アナログオーディオ信号を一定のサンプリング周波数でサンプリングしてデジタル化したデータであり、そのサンプリング周波数は複数種類存在している。例えば、コンパクトディスク（CD）と称される光ディスクに記録されるデジタルオーディオデータや、ミニディスク（MD）と称される光磁気ディスクに記録されるデジタルオーディオデータのサンプリング周波数は44.1kHz である。また、デジタルオーディオテープ（DAT）と称される磁気テープに記録されるデジタルオーディオデータのサンプリング周波数は、上述した44.1kHz の他に、32kHz, 48kHz があり、その他のシステムでは96kHz をサンプリング周波数として使用する場合もある。

【0004】

これらの媒体から再生されたデジタルオーディオデータを、扱うサンプリング周波数が異なる他の媒体に記録させる際には、サンプリング周波数を変換する処理が必要になる。また、近年、オーディオ信号の音質、音場などを調整できるオーディオ処理装置が各種開発され、このような処理装置での処理をデジタルシグナルプロセッサ（DSP）と称される回路でデジタルで実行するようにしてあるが、入力したデジタルオーディオデータのサンプリング周波数が、この装置が扱えるサンプリング周波数と異なるとき、サンプリング周波数を変換する処理が必要である。

【0005】

サンプリングレートを変換する処理としては、最も簡単な処理としては、入力デジタルデータを一旦アナログ信号に変換し、その変換されたアナログ信号を必要とするサンプリング周波数で再度デジタルデータに変換することが考えられる。ところが、このようなアナログ化を行うと変換による信号特性の劣化が避けられない問題があり、デジタルデータのまま、演算処理でサンプリング周波数を変換することが行われている。

【0006】

デジタルデータのままでサンプリング周波数を変換する処理としては、入力データと出力データのサンプリング周波数差に基づいて、出力データのサンプリング位置を判断し、その判断したサンプリング位置のオーディオデータを、そのサンプリング位置の前後の入力データの補間による演算で求めるようにしたものである。このようにデジタル演算でサンプリング周波数を変換することで、音質劣化を最小限に抑えてデジタルデータのサンプリング周波数を変換することができる。

【0007】

なお、デジタル演算でサンプリング周波数を変換する場合には、補間演算を行う前段では、入力データがある程度のデータ量蓄積するバッファメモリが必要である。このバッファメモリとしては、連続的に入力データを書き込ませて、その書込まれて蓄積されたデータを、連続的に読出すような処理が行われるメモリが

必要である。このような連続的な書込みと読出しが行われるメモリは、書込みアドレスと読出しアドレスが周期的に環状で変化するので、リングバッファなどと呼ばれる。

【0008】

このようなリングバッファを使用する際には、書込みアドレスと読出しアドレスとがある程度離れていないと、バッファとして有効に機能しないため、ある程度の範囲で書込みアドレスと読出しアドレスが離れた値となるように制御される。なお、このようなバッファをサンプリング周波数変換回路が備えてサンプリング周波数の変換処理が行われることで、少なくともデータがバッファに書込まれてから読出されるまでの期間、サンプリング周波数が変換されたデータにはタイミングの遅延が生じることになる。

【0009】

【発明が解決しようとする課題】

ところで、デジタルオーディオデータは、2チャンネル或いはより多くのチャンネル数のマルチチャンネル構成となっているものが多々ある。例えば、フロントの2チャンネルと、センタチャンネルと、リアの2チャンネルと、低域音専用チャンネル（LFEチャンネル）の6チャンネル（但しLFEチャンネルは0.1チャンネルと見なして5.1チャンネルと称される場合がある）で構成されるオーディオデータが、主として映画用のオーディオなどの場合に存在する。

【0010】

ここで、このようなマルチチャンネルのデジタルオーディオデータを、上述したようなサンプリング周波数を変換する回路（装置）で変換する場合、各チャンネルの位相差（時間差）をなくすように、正確に設定する必要がある。各チャンネルの位相を正確に合わせないと、マルチチャンネルのオーディオを再生させたときの音場などに乱れが生じてしまい、好ましくない。ところが、上述したようにサンプリング周波数の変換回路は、原理上バッファメモリが必要であり、そのバッファメモリを使用した遅延時間を各チャンネルで一定に制御するためには、各チャンネルのメモリの書込み、読出し状況を同期させる複雑な制御処理が必要になり、サンプリング周波数変換装置の構成が大規模なものになってしまう問題

があった。

【0011】

また、マルチチャンネル構成でない場合でも、何らかの要因で、サンプリング周波数を変換したデータを外部のタイミングに同期させることが必要な場合があり、そのような場合には、やはりバッファメモリの書込み、読出し状況の制御が複雑になる問題があった。

【0012】

本発明はこのような状況に鑑みてなされたものであり、サンプリング周波数の変換を行う際の、入力データと出力データの位相差（時間差）の制御が簡単にできるようにすることを目的とする。

【0013】

【課題を解決するための手段】

本発明は、入力データ又は入力データをオーバーサンプリングしたデータを連続的に書込み、書込みアドレスに対して所定のアドレス差で書込まれたデータを連続的に読出す記憶手段と、記憶手段から読出されたデータを補間処理してサンプリング周波数が変換されたデータとする補間処理手段とを備えてサンプリング周波数の変換を行う場合に、記憶手段の書込みアドレスと読出しアドレスのアドレス差を最適化させる制御を行い、入力データが供給され始めてから所定期間、制限をつけずにアドレス差の最適化を実行させ、所定期間が経過した後、所定の制限を設定してアドレス差の最適化を実行させるようにしたものである。

【0014】

本発明によると、入力データが供給され始めてから所定期間の間で、書込みアドレスと読出しアドレスの差が最適化されるように制御され、その所定期間の間で、アドレス差が最適化されて、入力データと出力データとの位相差（時間差）が最適値のアドレス差でほぼ一定になる。そして、所定期間が経過した後は、所定の制限が設定された状態でアドレス差の最適化が実行される。

【0015】

【発明の実施の形態】

以下、添付図面を参照して、本発明の一実施の形態について説明する。

【 0 0 1 6 】

本例においては、マルチチャンネルのデジタルオーディオデータを処理するオーディオ増幅装置内で、入力した各チャンネルのオーディオデータのサンプリング周波数を変換するようにした装置に適用したものである。本例のオーディオ増幅装置は、デジタル増幅装置と称されるものであり、供給されるデジタルオーディオデータに基づいてPWM（Pulse Width Modulation：パルス幅変調）信号を生成させて、そのPWM信号によって所定の電源を直接スイッチングして、スピーカを駆動させる増幅出力を得るようにしたものである。

【 0 0 1 7 】

ここで、本例のオーディオ増幅装置内でPWM信号を生成させるためのデジタルオーディオデータは、特定のサンプリング周波数（標本化周波数）である必要があり、外部から入力したデジタルオーディオデータのサンプリング周波数が、その特定のサンプリング周波数でないときに、サンプリング周波数を変換するサンプリング周波数コンバータを、増幅装置内に備える。

【 0 0 1 8 】

図1は、本例のオーディオ増幅装置の全体構成例を示す図である。ここでは、マルチチャンネルオーディオ信号源1がオーディオ増幅装置100に接続しており、このマルチチャンネルオーディオ信号源1から、6チャンネルのマルチチャンネルのデジタルオーディオデータがオーディオ増幅装置100に供給される。具体的なチャンネル構成としては、例えばフロント左信号FLと、フロント右信号FRと、リアー左信号SLと、リアー右信号SRと、センタ信号Cと、低域専用信号SWとで構成される。

【 0 0 1 9 】

オーディオ増幅装置100に供給される各チャンネルのオーディオデータは、サンプリング周波数コンバータ110、120、130に供給される。本例のオーディオ増幅装置100が備えるサンプリング周波数コンバータ110、120、130としては、1個のコンバータで2チャンネルのオーディオデータを変換処理できる構成としてあり、合計3個のコンバータ110、120、130で、6チャンネルのマルチチャンネルオーディオデータのサンプリング周波数を変換

処理できる。具体的には、第1のコンバータ110でフロント左信号FLとフロント右信号FRの変換処理を行い、第2のコンバータ120でリアー左信号SLとリアー右信号SRの変換処理を行い、第3のコンバータ130でセンタ信号Cと低域専用信号SWの変換処理を行う。

【0020】

ここで、この増幅装置100内での動作全体を制御するコントローラ101から各コンバータ110、120、130には、後述する制限解除信号を供給して、3つのコンバータ110、120、130での変換に伴って発生する位相差（時間差）が等しくなるようにしてある。この制限解除信号を使用した処理の詳細については後述する。

【0021】

なお、このオーディオ増幅装置100に入力したオーディオデータのサンプリング周波数が、この増幅装置100で増幅処理用に使用するデータのサンプリング周波数とが等しい場合には、各コンバータ110、120、130は入力データをそのまま出力し、サンプリング周波数の変換処理は行わない。

【0022】

各サンプリング周波数コンバータ110、120、130でサンプリング周波数が変換された（或いは変換する必要がないために変換されてない）各チャンネルのデジタルオーディオデータは、PWM波発生回路141、142、143に供給し、それぞれのチャンネルのオーディオデータによりパルス幅変調されたPWM信号（PWM波）を生成させる。このPWM波発生回路141、142、143についても、ここでは1つの回路で2チャンネルずつ処理を行う構成としてある。

【0023】

そして、生成された各チャンネルのPWM信号を、各チャンネル毎の増幅回路144、145、146、147、148、149に供給し、増幅されたアナログオーディオ信号を得るように処理される。この増幅回路144～149では、例えば安定化された直流電源を上述したPWM信号でスイッチングして、そのスイッチング出力をパルストランスやローパスフィルタなどの回路により直流分を

除去する処理を行い、結果的にオーディオ信号が増幅された信号となるように構成したものである。

【0024】

各チャンネルの増幅回路144～149が出力するオーディオ信号は、オーディオ増幅装置100のスピーカ接続端子（図示せず）に接続された各チャンネル毎のスピーカ装置に供給させて、マルチチャンネルオーディオを出力させる。即ち、増幅回路144の出力をフロント左チャンネル用スピーカ装置2FLに供給し、増幅回路145の出力をフロント右チャンネル用スピーカ装置2FRに供給し、増幅回路146の出力をリア左チャンネル用スピーカ装置2SLに供給し、増幅回路147の出力をリア右チャンネル用スピーカ装置2SRに供給し、増幅回路148の出力をセンタチャンネル用スピーカ装置2Cに供給し、増幅回路149の出力を低域専用チャンネル用スピーカ装置2SWに供給する。

【0025】

次に、各サンプリング周波数コンバータ110、120、130の具体的な構成例について説明する。以下の説明では説明を簡単にするために、1個のサンプリング周波数コンバータは、1チャンネルのデータだけを処理する構成としてあるが、上述したそれぞれのサンプリング周波数コンバータ110、120、130の場合には、2チャンネル分のデータを処理できる回路が構成されている。

【0026】

図2は、本例のサンプリング周波数コンバータの全体構成を示す図である。この例では、入力端子11から入力された信号 D_{si} の標本化周波数 F_{si} を再標本化して任意のサンプリング周波数 F_{so} に変換するものである。以下の説明では、入力信号 D_{si} のサンプリング周波数 F_{si} を入力標本化周波数 F_{si} とし、任意のサンプリング周波数 F_{so} を出力標本化周波数 F_{so} とする。

【0027】

本例の標本化周波数変換装置は、入力端子11から入力された入力サンプリング周波数 F_{si} の入力信号 D_{si} を再標本化用の $8F_{si}$ にオーバーサンプリング処理する $8F_s$ オーバーサンプリングフィルタ12と、この $8F_s$ オーバーサンプリングフィルタ12で $8F_s$ とされた入力信号を書き込むと共に読み出す再標本化

用のバッファメモリ 13 と、この再標本化用バッファメモリ 13 の出力信号を補間処理する補間処理回路 14 を備える。

【0028】

また、入力端子 22 から供給される標本化周波数 F_{si} の整数倍の入力基準クロック（以下入力マスタークロックという） $MCK_i (=M \cdot F_{si})$ で入力端子 23 から供給される出力標本化周波数 F_{so} の周期（以下出力標本化周期という） T_{so} の N 倍の周期 $t (=N \cdot T_{so})$ を計数することによって分解能を向上した標本化周波数比を検出する標本化周波数比検出回路 24 と、この標本化周波数比検出回路 24 で検出された標本化周波数比を基に再標本化用バッファメモリ 13 の書き込み読み出しを制御すると共に補間処理回路 14 の補間処理を制御するコントローラ 25 を備える。

【0029】

さらに、コントローラ 25 によって補間処理が制御された補間処理回路 14 からの出力信号の標本化周波数を間引きし例えば 2, 4, 8 倍の出力標本化周波数 F_{so} とすると共に、かつその位置をマルチプレクサ 19a により切り換え選択する再標本化周波数信号出力回路 19 と、この再標本化周波数信号出力回路 19 からの出力信号に帯域制限を施し、出力端子 21 から出力標本化周波数 F_{so} の出力信号 D_{so} を出力する帯域制限フィルタ 20 とを備える。

【0030】

$8F_s$ オーバーサンプリングフィルタ 12 で作られた標本化周波数 $8F_{si}$ のデジタル信号は、上述したように再標本化用バッファメモリ 13 に入力される。この再標本化用バッファメモリ 13 は、書き込みアドレスに対して読み出しアドレスの差が任意に変動し、データを記憶媒体に連続的に記録再生していくリングバッファメモリである。例えば、20ビット64ワードの容量を持ち、入力標本化周波数時間の 8 倍のバッファとなる。

【0031】

この再標本化用バッファメモリ 13 のデータ書き込み読み出しは、コントローラ 25 が制御している。コントローラ 25 は、再標本化用バッファメモリ 13 にデータ書き込みのための書き込みアドレスを供給すると共に標本化周波数比検出

回路24が検出した標本化周波数比から再標本化用バッファメモリ13にデータ読み出しのための読み出しアドレスを供給して再標本化用バッファメモリ13の書き込み読み出しを制御している。したがって、このコントローラ25と標本化周波数比検出回路24は、再標本化用バッファメモリ13のアドレスを制御しているメモリアドレス制御部であり、かつ、補間処理回路14を制御している補間処理制御部でもある。

【0032】

以下、この標本化周波数比検出回路24とコントローラ25からなるメモリアドレス制御部について、図3を参照しながら説明する。

【0033】

本例のメモリアドレス制御部は、書き込みアドレスに対して読み出しアドレスの差が任意に変動し、データを記憶媒体に連続的に記録再生していくリングバッファメモリである再標本化用バッファメモリ13の読み出しアドレスを制御するメモリアドレス制御部であって、書き込みアドレスと読み出しアドレスとの差を検出するアドレス差検出回路32と、このアドレス差検出回路32で検出したアドレス差を最適値に制御するように読み出しアドレスを最適化制御するアドレス最適化制御回路34とを有するコントローラ25と、標本化周波数比検出回路24とからなる。

【0034】

標本化周波数比検出回路24は、入力端子22から供給される入力マスタークロックMCK_iにより入力端子23から入力される時間周期 t での整数倍の標本化周期 $N \cdot T_{so}$ を計数するカウンタ30と、このカウンタ30からのカウント出力を上記 $N \cdot T_{so}$ を基にラッチするラッチ31とを有してなる。

【0035】

カウンタ30で $N \cdot T_{so}$ を入力マスタークロックMCK_iによりカウントし、そのカウント結果をラッチ31でラッチすることにより、周期 t での現在の標本化周波数比 R が求められることになる。

【0036】

コントローラ25は、アドレス差検出回路32とアドレス最適化制御回路34

の他に、ラッチ 31 からの標本化周波数比 R にアドレス差検出回路 32 で検出したアドレス差に応じてアドレス最適化制御回路の出力信号を加算する加算回路 35 と、加算回路 35 の加算出力を累積加算するための加算回路 36 とフリップフロップ回路 37 とからなる。

【0037】

ここで、フリップフロップ回路 37 は、D フリップフロップ回路であることが好ましく、入力端子 38 からは、本例の出力信号の標本化周波数 $8F_{so}$ に合わせて $8F_{so}$ のクロックが供給されている。もちろん、出力信号の標本化周波数が 4 又は $2F_{so}$ である場合には、4 又は $2F_{so}$ のクロックが供給される。また、入力端子 39 からはイニシャライズ信号が供給される。

【0038】

アドレス差検出回路 32 は、読み出しアドレスに、図 4 に示すようなインバータ 40 を介した書き込みアドレスを加算し、読み出しアドレスと書き込みアドレスの差を検出する。読み出しアドレスと書き込みアドレスとの差は、再標本化バッファメモリ 13 のバッファ余裕度を示す尺度となる。このアドレス差が無くなってくると、再標本化バッファメモリ 13 はオーバーフローしてしまうことになる。

【0039】

アドレス差最適化制御回路 34 は、上述したようにアドレス差検出回路 32 で検出したアドレス差を最適値に制御するように読み出しアドレスを最適化制御する回路であり、図 4 に示すようにエリアデコーダ&ラッチ 34a と、D フリップフロップ 34b と、アドレス最適化エンコーダ 34c とからなる。また、このオーディオ増幅装置 100 のコントローラ 101 (図 1 参照) から端子 41 を介してアドレス差補正領域の制限解除信号が供給され、この制限解除信号が図 4 に示すようにエリアデコーダ&ラッチ 34a に供給される。この端子 41 に得られる制限解除信号による動作については後述する。

【0040】

アドレス差最適化制御回路 34 は、アドレス差検出回路 32 で検出したアドレス差信号 $S1$ から、アドレス差最適値 CT を減算して、その減算値に応じて、図

6に示すようなアドレス要補正值S2をアドレス要補正值算出回路34dが出力し、そのアドレス要補正值S2がどのエリアになるかをエリアデコーダ&ラッチ34aとDフリップフロップ34bによって、端子33から供給されるデータに基づいて毎回ある周期でラッチして監視させ、この監視結果に応じてアドレス最適化エンコーダ34cに標本化周波数比検出回路24で検出した標本化周波数比Rに加算回路35で加える補正值を生成させている。

【0041】

この場合、端子41からエリアデコーダ&ラッチ34aに供給されるアドレス差補正領域の限定解除信号の状態によって、アドレス差補正領域に限定を加える場合と、制限を解除する場合とがある。それぞれの場合の詳細については後述する。

【0042】

アドレス差最適値CTは、例えば図5に示すようにデータ記憶アドレスがリング状のリングバッファメモリにおいて、アドレス差が 180° の位相差の関係になるように（即ちいずれの方向から見ても最もアドレス差があるように）選ばれる。

【0043】

アドレス最適化制御回路34は、読出しアドレスが遅れているときは増加、進んでいるときには減少するように、アドレス最適化エンコーダ34cから補正值を標本化周波数Rに加算し、その加算出力を図3に示す加算回路36とDフリップフロップ37により累積加算して、メモリ読出しアドレスを生成させる。

【0044】

アドレス最適化制御回路34は、アドレス要補正值S2が正の値から負の値、または負の値から正の値に変化したとき、アドレスが最適になったとみなし、補正值出力を0とし、補正動作を完了する。

【0045】

ここで、上述したように、端子41からエリアデコーダ&ラッチ34aに供給されるアドレス差補正領域の限定解除信号の状態によって、アドレス差補正領域に限定を加える場合と、制限を解除する場合とがある。本例の場合には、図6に

示すようなアドレス要補正值 S 2 の出力により、アドレス最適化補正值を生成させて、アドレス差を 0 とするような制御が行われるように構成してあるが、0 を中心とした所定幅の範囲 W を設定して、アドレス差（補正值 S 2）がその範囲 W 内であるときと、範囲 W の外であるときで、限定解除信号の状態によって、次の表 1 に示すように動作を変えてある。

【0046】

【表 1】

アドレス差	W の範囲内		W の範囲外	
アドレス差補正領域の限定解除	非アクティブ	アクティブ	非アクティブ	アクティブ
アドレス最適化制御回路の動作	補正值にゼロを出力し、最適化動作を行わない。		アドレス要補正值 S 2 の符号が反転するまで、補正值を出力し、最適化動作を行う。	

【0047】

即ち、アドレス要補正值 S 2 が、図 6 に示す範囲 W の外の値を一度でもとると、アドレス最適化制御回路 34 は、端子 41 に得られる限定解除信号の状態がいずれであっても、アドレス要補正值の符号が反転するまで、補正值を出力しアドレスを最適化する。また、アドレス要補正值 S 2 が、図 6 に示す範囲 W 内にあるときには、端子 41 に得られる限定解除信号の状態によって、アドレス要補正值 S 2 が符号反転するまで補正を行うか、あるいは補正動作を制限させるかが制御される。

【0048】

この動作は、例えば「アドレス要補正值 S 2 が W 以外の範囲にある、もしくは、限定解除信号がアクティブである」という条件をセット信号、「アドレス要補正值が前回の値から反転した」という条件をリセット条件として、リセット優先セッターリセット回路出力により制御することもできる。

【0049】

本例の場合、オーディオ増幅装置 100 のコントローラ 101 が端子 41 を介して供給する限定解除信号としては、このオーディオ増幅装置 100 にオーディ

オーディオデータが供給され始めてから所定期間、アドレス差補正領域の限定解除をアクティブとし（即ち限定のない状態とし）、アドレス要補正值 S 2 の符号が反転するまで補正值を出力させて、最適動作を実行させる。そして、オーディオ増幅装置 1 0 0 にオーディオデータが供給され始めてから上述した所定期間が経過した後は、アドレス差補正領域の限定解除を非アクティブとし（即ち限定された状態とし）、範囲 W の範囲内のとき、補正值に 0 を出力させて、最適化動作を行わないようにしてある。

【 0 0 5 0 】

ここでのオーディオデータが供給され始めてからの所定期間としては、例えばオーディオデータの入力がある本例の回路でのサンプリング周波数の変換動作が安定するまでの時間（具体的には入力データのサンプリング周波数と出力データのサンプリング周波数との差が安定して、アドレス差が最適化された状態が安定して継続するようになるまでの時間）以上の時間とする。この安定するまでの時間は、例えばバッファメモリの書込みアドレスと読出しアドレスの位相差が最大の状態（即ち位相差が 360° に近い状態）から、最適値である位相差 180° の状態になるまでの時間あれば良い。例えば、200 m 秒から 1 秒程度の時間があればサンプリング周波数の変換動作が安定するので、オーディオデータが供給され始めてから、1 秒以上の時間（例えば 2 秒程度）だけ、限定解除信号で限定のない補正動作を実行させて最適化動作をさせて、それ以後は限定解除信号で限定された状態で動作させる。

【 0 0 5 1 】

なお、このオーディオ増幅装置 1 0 0 のコントローラ 1 0 1 が限定解除信号で限定のない補正動作を実行させる期間として、実際のオーディオデータの入力があるからの判断を行うのではなく、例えば装置 1 0 0 の電源の投入時から、所定時間の間、限定解除信号で限定のない補正動作を実行させて最適化動作をさせて、それ以後は限定解除信号で限定された状態で動作させるようにしても良い。

【 0 0 5 2 】

また、オーディオデータの入力があった時点として、この増幅装置 1 0 0 に入力するオーディオデータを切替える動作があったときにも、新たなオーディオデ

ータの入力が開始されたものとして、所定期間は限定解除信号で限定のない補正動作を実行させて最適化動作をさせて、それ以後は限定解除信号で限定された状態で動作させるようにしても良い。増幅装置100側で入力切換えがあった場合の他に、オーディオ信号源側が出力するオーディオデータのサンプリング周波数に切換えがあった場合にも、同様に新たなオーディオデータの入力が開始されたものとして、所定期間だけ限定のない補正動作を実行させても良い。

【0053】

また、予め決められた所定期間を設定するのではなく、例えばデータの入力開始から標本化周波数比検出回路24での標本化周波数比の検出状態が一定状態に安定するまでの間、限定解除信号で限定のない補正動作を実行させて最適化動作をさせ、一定状態に安定化した後は、限定解除信号で限定された状態で動作させるようにしても良い。

【0054】

なお、再標本化用バッファメモリ13のデータ書込み状態と読出し状態を図5のリングバッファの図を参照して説明すると、再標本化用バッファメモリ13として図5に示すようなイメージの20ビット64ワードの容量を持つリング状の8Fsデータ再標本化用バッファメモリである場合、このメモリアドレス制御回路は、データの書き込みアドレスAwと読み出しアドレスArが32ワード差で、180°の位相差で動作するように、読み出しアドレスArを制御している。なお、このメモリアドレス制御回路は、8つのFsiTデータ区間アドレスを有し、4FsiTのところを絶対最大点CTとしている。

【0055】

次に、標本化周波数比検出回路24とコントローラ25からなる補間処理制御部について説明する。

【0056】

コントローラ25は、標本化周波数比検出回路24から供給される標本化周波数比Rを加算回路36及びフリップフロップ回路37を用いて累積加算し、再標本化用バッファメモリ13のデータ読み出しアドレスを生成する他に、加算回路36及びフリップフロップ回路37を用いて、補間処理回路14へのオーバーサ

ンプリング用の係数を選択制御する信号と、先行リーディング用及び後追いつレーリング用の直線補間係数LIP.F.L 及びLIP.F.T を生成している。

【0057】

これら、読み出しアドレス、オーバーサンプリング用係数選択制御信号及び直線補間係数は、例えば、一つのデータ列の上位ビット範囲、中位ビット範囲及び下位ビット範囲のデータとして、このコントローラ25から出力される。このうち、オーバーサンプリング用係数選択制御信号及び直線補間係数は、補間処理回路14に供給され、該補間処理回路14の補間処理を制御する。

【0058】

補間処理回路14は、図2に示すように、コントローラ25から供給されたデータ読み出しアドレスにより再標本化用バッファメモリ13から読み出されたデータにオーバーサンプリング処理を施すと共に、直線補間を施すFIRフィルタ(L) & \times LIP.F.L 15及びFIRフィルタ(T) & \times LIP.F.T 17と、これらFIRフィルタ(L) & \times LIP.F.L 15及びFIRフィルタ(T) & \times LIP.F.T 17にオーバーサンプリングのための係数を供給する係数ROM16と、FIRフィルタ(L) & \times LIP.F.L 15の出力信号とFIRフィルタ(T) & \times LIP.F.T 17の出力信号とを加算する加算器18とを有して成る。ここで、係数ROM16は、例えば、24ビット7ワードのオーバーサンプリング係数を32個持っている。

【0059】

この補間処理回路14の動作を図7を参照しながら説明する。再標本化用バッファメモリ13は、コントローラ25から供給される読み出しアドレスに基づいてFIRフィルタ(L) & \times LIP.F.L 15及びFIRフィルタ(T) & \times LIP.F.T 17に図7の(A)に示すような $T_{si}/8$ 毎の例えば7個のデータを供給する。FIRフィルタ(L) & \times LIP.F.L 15及びFIRフィルタ(T) & \times LIP.F.T 17は、再標本化用バッファメモリ13から供給された例えば7個のデータに、係数ROM16から読み出した例えば7個の係数を積和演算して、それぞれ $256F_{si}$ のデータを生成する。

【0060】

この256Fsiのデータの隣合った2つのデータを示すのが図7の(B)である。図7の(A)、図7の(B)に示した破線包囲領域E1は、 $T_{si}/8$ であり、図7の(B)に示した破線包囲領域E2は、 $T_{si}/256$ 間隔の256Fsiの隣合った2つのデータである。

【0061】

次に、FIRフィルタ(L)&×LIP.F.L 15及びFIRフィルタ(T)&×LIP.F.T 17は、コントローラ25から供給される直線補間係数を $T_{si}/256$ 間隔の隣合った2つのデータに乗じてから加算器18により加算し、図7の(C)に示すような直線補間を行う。

【0062】

このようなオーバーサンプリングと直線補間を繰り返すことにより、本例の標本化周波数変換回路は、図7の(D)に示すような標本化周波数FsoのデータDsoを生成する。

【0063】

ここで、直線補間係数について説明しておく。直線補間係数としては、リーディング先行データ用係数LIP.F.Lと、トレーリング後追いデータ用係数LIP.F.Tとがある。これらの直線補間係数は、コントローラ25において、累積加算された値の下位のデータ、例えば12ビットを用いて生成する。具体的には、トレーリング後追いデータ用係数LIP.F.Tは、下位12ビットデータ、リーディング先行データ用係数LIP.F.Lは、下位12ビットの1の補数によって与えられる。

【0064】

図7の(C)には、破線包囲領域E3内の $T_{si}/256$ 間隔の2つのデータDsa、Dsbに上記直線補間係数を乗算して得たデータDsoを示す。

【0065】

補間処理回路14から出力されるデータは8Fsoのデータである。この8Fsoのデータは、再標本化周波数信号出力回路19に供給される。この再標本化周波数信号出力回路19は、8Fsoに間引き処理を施し、4Fso又は2Fsoに変換し、8Fso、4Fso又は2Fsoのうちの一をマルチプレクサ19aで切り換え選択している。

【0066】

帯域制限フィルタ20は、出力データにエリアシング雑音を発生させないためのフィルタである。入力標本化周波数 F_{si} が出力標本化周波数 F_{so} よりも高いときには、エリアシング雑音が発生するおそれがあるので、マルチプレクサ19aからの出力信号を帯域制限する。

【0067】

以上のように構成されて動作が行われる標本化周波数変換回路（サンプリング周波数変換回路）を備えることで、本例のオーディオ増幅装置100は、マルチチャンネルのデジタルオーディオデータが入力して、その入力データのサンプリング周波数を変換する必要があるとき、サンプリング周波数を変換して出力されるデータが、同じ位相で出力されるようになり、チャンネル間で位相（タイミング）のずれが発生しなくなる。

【0068】

即ち、標本化周波数変換回路にデータが入力し始めて所定期間の間は、アドレス差補正領域の限定解除信号により、アドレス要補正值の符号が反転するまで最適化動作が行われるので、図6に示す図のアドレス差0に最も近い状態まで厳密にバッファメモリ13の書込みアドレスと読出しアドレスの差の最適化が行われる。このように最適化が行われることで、書込みアドレスと読出しアドレスの差はほぼ 180° の位相差となる。従って、オーディオ増幅装置100で扱う全てのチャンネルで、入力データの遅延時間が等しくなり、2チャンネルやマルチチャンネルのオーディオデータを扱う場合であっても、チャンネル間での位相差が発生しなくなる。

【0069】

ここで、このまま厳密なバッファメモリ13のアドレス差の最適化制御が継続して行われると、アドレス差0を跨ぐ位置でアドレス差が上下するような発振状態となる可能性があるが、本例の場合には、安定した後は、一定の範囲W内では補正值を強制的に0として、最適化動作を行わないようにしたので、発振するようなことが防止され、安定してサンプリング周波数の変化動作が行われる。なお、一度サンプリング周波数の変換動作が安定化した後は、最適化動作を実行しな

くても、入力データのサンプリング周波数が変化しない限りは、バッファメモリ 13 の書込みアドレスと読出しアドレスのアドレス差に変化が生じることは基本的にないので、そのまま最適化されたアドレス差が継続的に維持される。従って、チャンネル間での位相差が発生しない状態が維持される。

【0070】

また本例の場合には、このようにサンプリング周波数を変換した各チャンネルのデータに位相差が発生しない構成としてあるのに、各チャンネルでのサンプリング周波数変換動作を同期させるための複雑な制御処理は必要なく、制御処理の構成が簡単になる。

【0071】

なお、上述した実施の形態では、サンプリング周波数変換装置として、PWM 波を生成させて増幅処理を行うオーディオ増幅装置が必要とするサンプリング周波数変換部に適用した例としたが、他のオーディオ機器が必要とするサンプリング周波数変換部にも適用できるものであり、或いはサンプリング周波数の変換動作だけを行う単体の機器として構成した場合にも適用可能である。また、オーディオデータ以外のデジタルデータでサンプリング周波数を変換する必要がある場合にも適用できるものである。

【0072】

また、上述した実施の形態では、マルチチャンネルのオーディオデータを変換する場合のように、複数のサンプリング周波数変換部の位相差（時間差）を同期させる場合に適用したが、例えば1チャンネルのオーディオデータのサンプリング周波数を、1台のサンプリング周波数変換装置で変換させる場合であっても、その変換による入力と出力の時間差を適正值に制御する必要があるような場合にも適用でき、マルチチャンネルのデータを扱う装置に限定されるものではない。

【0073】

また、上述した実施の形態では、サンプリング周波数変換部の内部を各演算処理を実行するハードウェアで構成させたが、同様の制御処理を実行するソフトウェアで、バッファメモリのアドレス差を制御するようにしても良い。

【0074】

また、上述した実施の形態で説明した最適化を行う時間の値については、一例を示したものであり、上述した値に限定されるものではなく、適用される回路構成や扱うデータの状態などにより最適化を行う時間は適宜選定すれば良い。

【 0 0 7 5 】

また、上述した実施の形態では、アドレス差の最適化が行われているとき、最適なアドレス差であることの判断として、アドレス差の最適値と、実際のアドレス差とを比較した値の極性が反転したときを、最適化されていると判断するようにしたが、その他の処理で最適値であると判断するようにしても良い。

【 0 0 7 6 】

【発明の効果】

本発明によると、入力データが供給され始めてから所定期間の間で、書込みアドレスと読出しアドレスの差が最適化されるように制御され、その所定期間の間で、アドレス差が最適化されて、入力データと出力データとの位相差（時間差）が、最適値でほぼ一定になる。そして、所定期間が経過した後は、所定の制限が設定された状態でアドレス差の最適化が実行される。ここで、サンプリング周波数が変換されたデータの出力が安定化した状態では、記憶手段の書込みと読出しが一定の状態で安定して行われるため、アドレス差の最適化に、所定の制限を設定して実行させても、結果的にアドレス差の変動を抑えることができ、読出しアドレスの最適化処理が継続的に実行されることによる発振を防止でき、アドレス差が一定に設定された状態で、サンプリング周波数が変換されたデータの出力を安定に行うことができる。

【 0 0 7 7 】

この場合、アドレス差の最適化に制限をつけない所定期間は、入力データが供給され始めてから、この入力データのサンプリング周波数と出力データのサンプリング周波数との差が安定するのに要する時間以上の期間としたことで、確実にサンプリング周波数の変換が安定するようになってから、アドレス差の最適化に所定の制限が設定されるようになり、アドレス差を一定に設定させることの処理が確実に実行される。

【 0 0 7 8 】

また、入力データの供給され始めとして、入力データの切換えがあったときを含むようにしたことで、入力データの切換え時にも、アドレス差を一定に制御する処理が有効に機能するようになる。

【0079】

また、制限をつけずにアドレス差を最適化する制御として、アドレス差と最適値とを比較して最適値に近づけさせる制御を行い、所定の制限を設定してアドレス差を最適化する制御として、最適値を中心として一定範囲内にアドレス差が入るように制御することで、アドレス差を最適化する処理が良好に実行される。

【0080】

さらに、アドレス制御手段によるアドレス差と最適値とを比較して最適値に近づけさせる制御として、変化するアドレス差の値が、最適値を越えた時点又は最適値を下回った時点を、最適なアドレス差と判断することで、簡単な判断処理でアドレス差が最適値となったことを判断できるようになる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態による全体構成の例を示すブロック図である。

【図2】

本発明の一実施の形態によるサンプリング周波数変換部の構成例を示すブロック図である。

【図3】

本発明の一実施の形態によるメモリアドレス制御部の構成例を示すブロック図である。

【図4】

本発明の一実施の形態によるアドレス最適化回路の構成示すブロック図である。

【図5】

本発明の一実施の形態による最サンプリング用バッファメモリの概略構成図である。

【図6】

本発明の一実施の形態によるアドレス差とアドレス最適化補正值との関係の例を示す説明図である。

【図 7】

本発明の一実施の形態による補間処理回路の動作を示す説明図である。

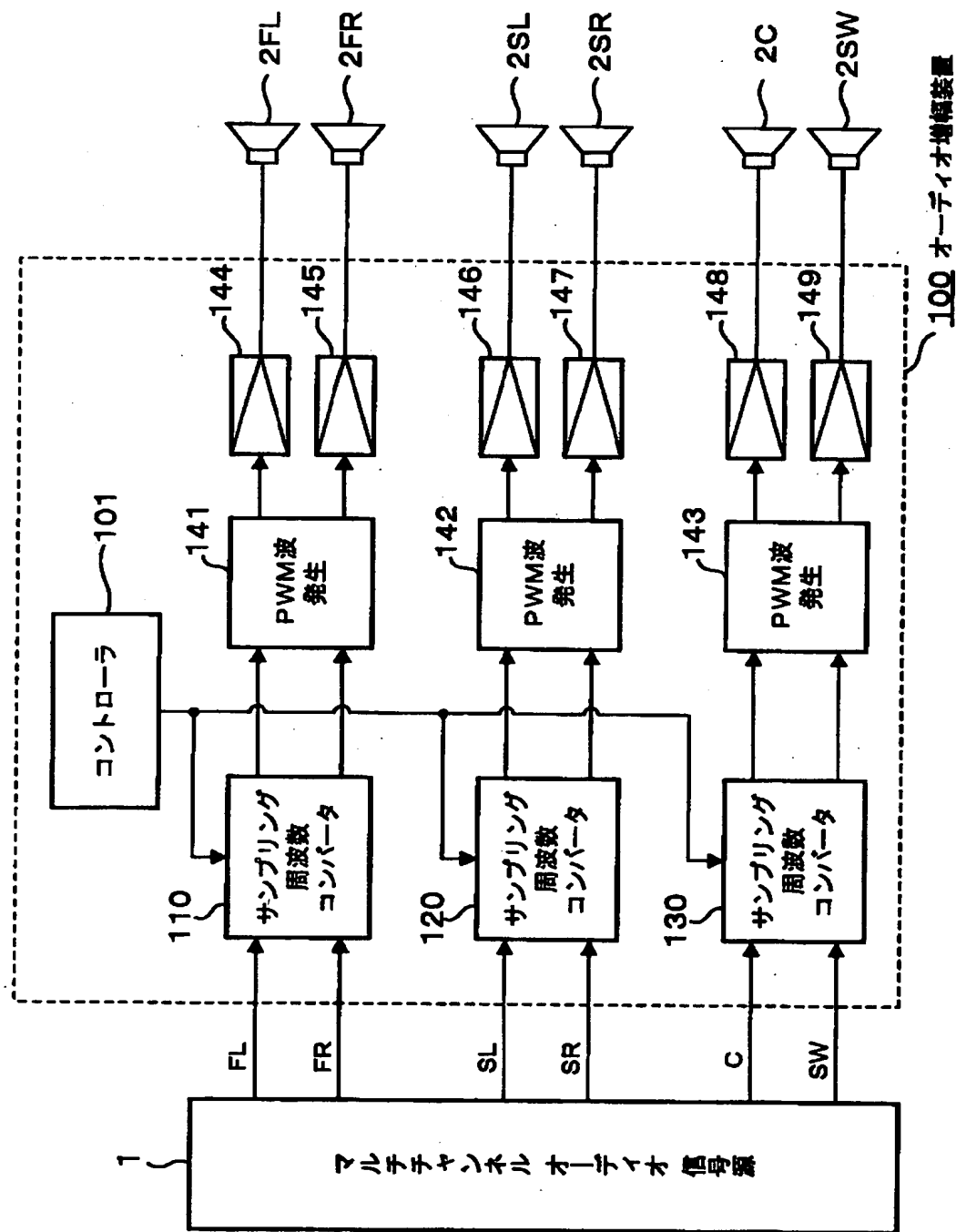
【符号の説明】

1…マルチチャンネルオーディオ信号源、2FL, 2FR, 2SL, 2SR, 2C, 2SW…スピーカ装置、12…オーバーサンプリング用フィルタ、13…再標本化用バッファメモリ、14…補間処理回路、15…RIRフィルタ及び直線補間回路、16…係数ROM、17…RIRフィルタ及び直線補間回路、18…加算器、19…再標本化周波数データ出力回路、20…帯域制限フィルタ、24…標本化周波数検出回路、25…コントローラ、30…カウンタ、31…ラッチ回路、32…アドレス値検出回路、34…アドレス最適化制御回路、35, 36…加算器、37…Dフリップフロップ、41…限定解除信号入力端子、100…オーディオ増幅装置、101…コントローラ、110, 120, 130…サンプリング周波数コンバータ、141, 142, 143…PWM波発生回路、144, 145, 146, 147, 148, 149…増幅回路

【書類名】

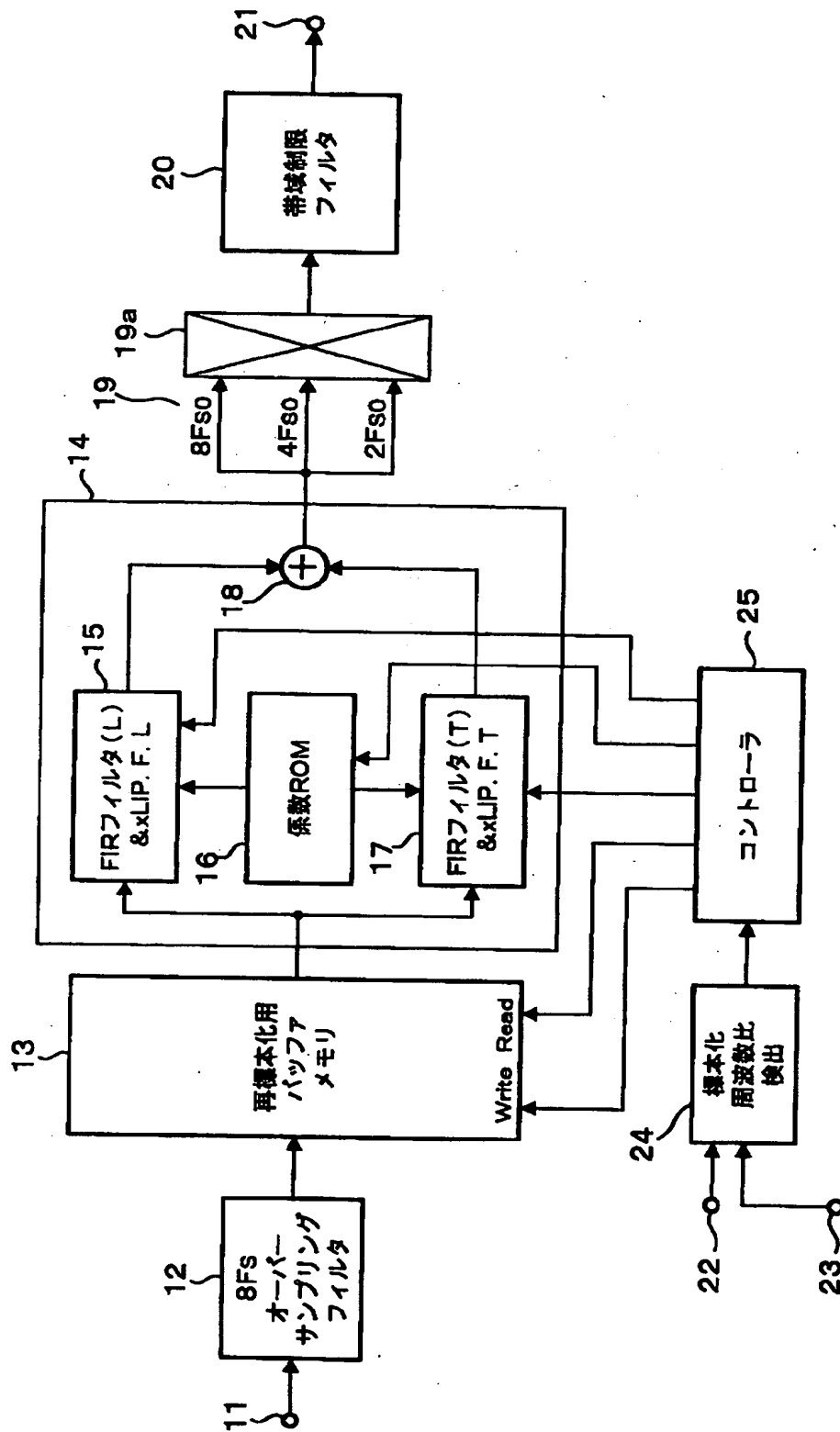
図面

【図 1】



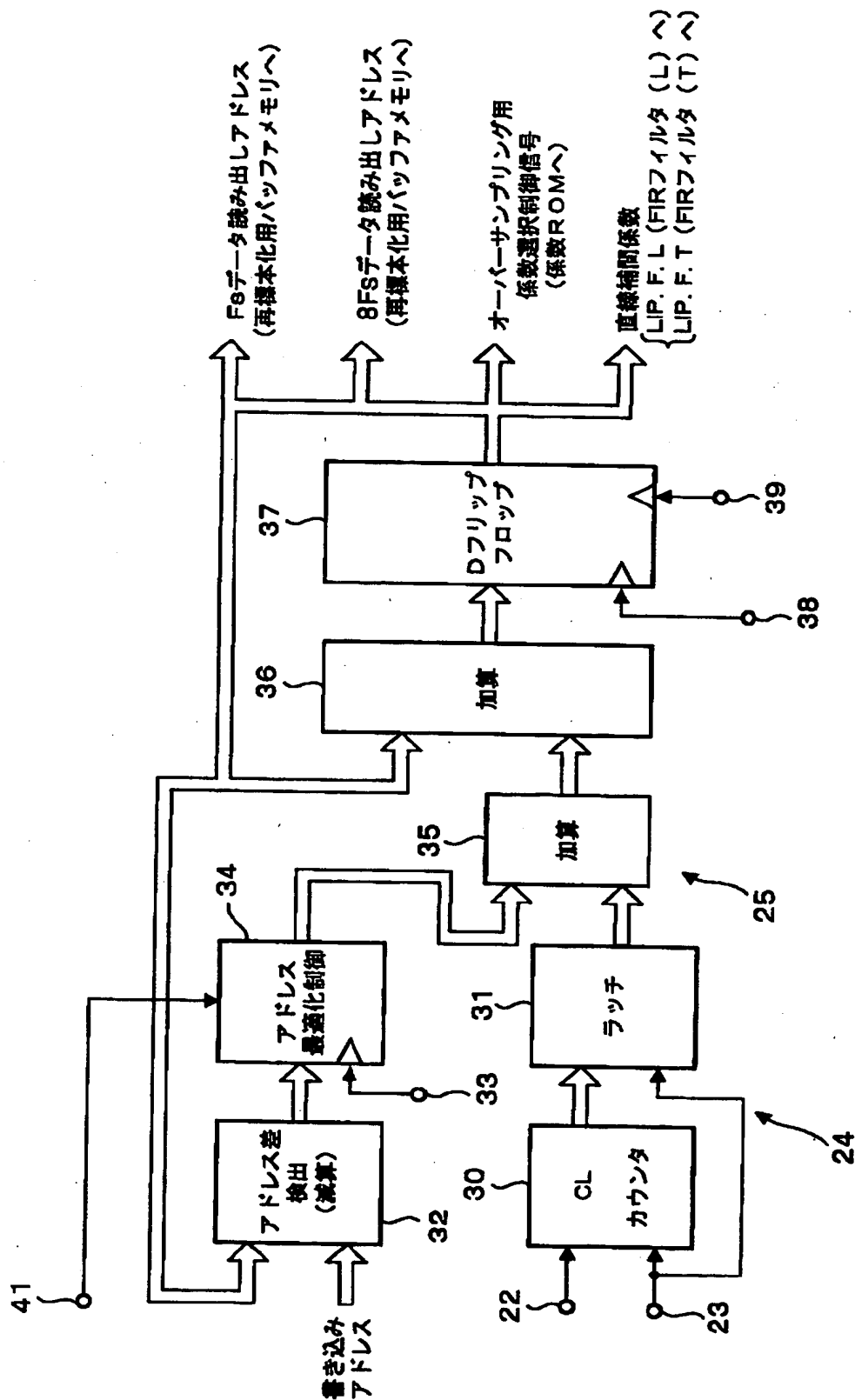
全体構成の例

【図 2】



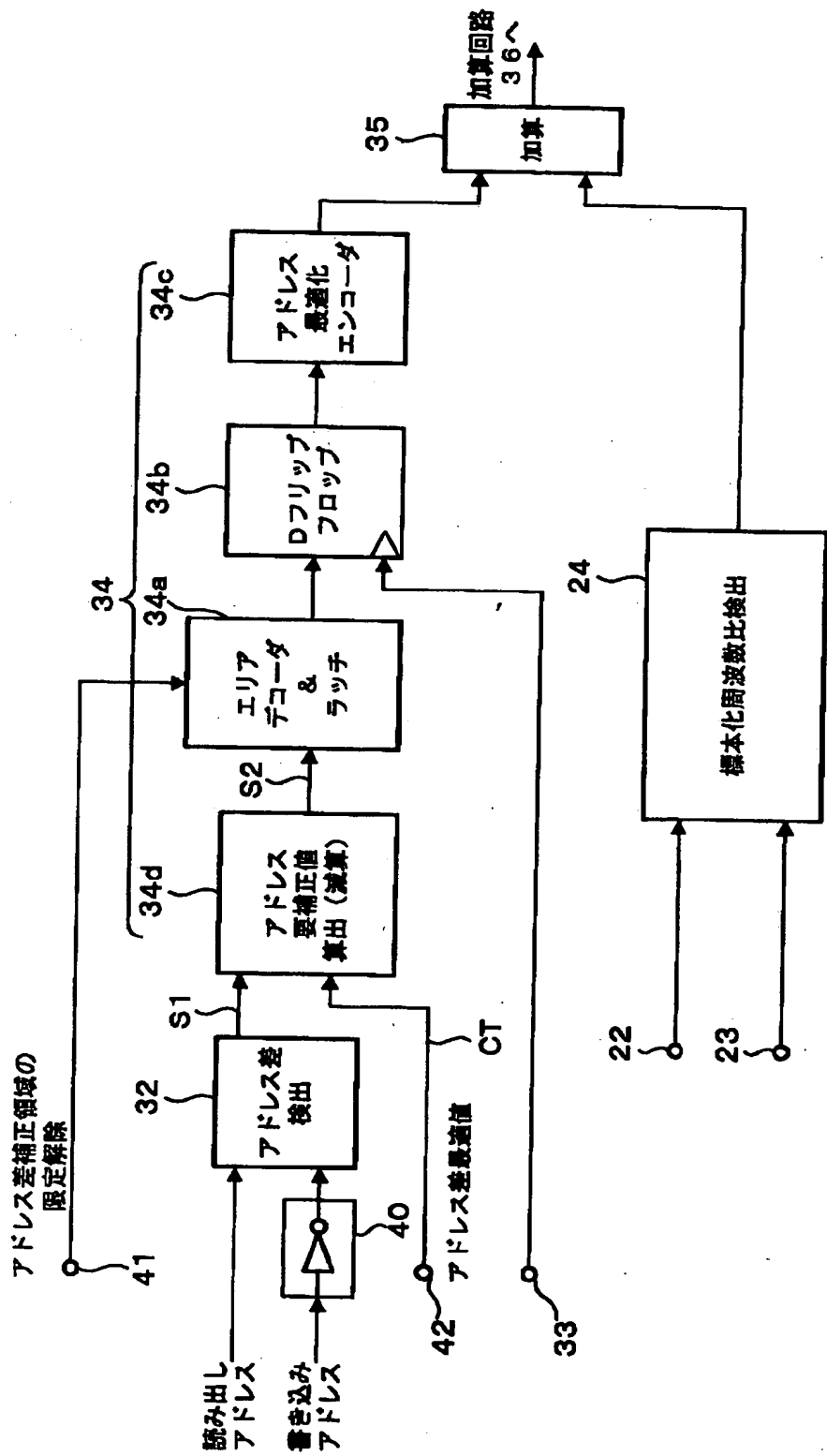
サンプリング周波数変換部のブロック図

【図 3】



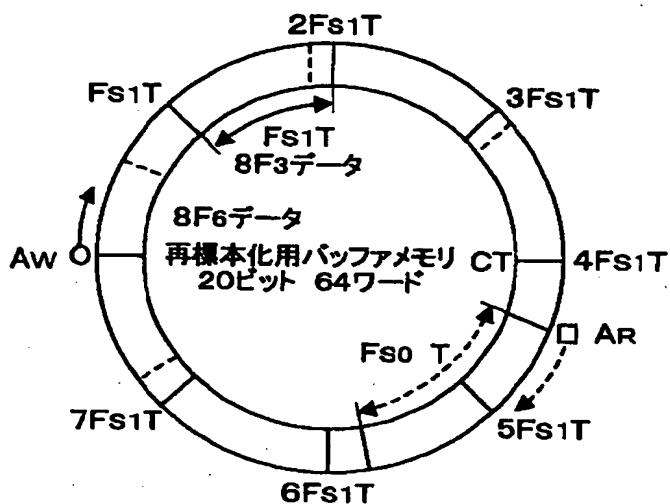
メモリアドレス制御部のブロック図

【図 4】



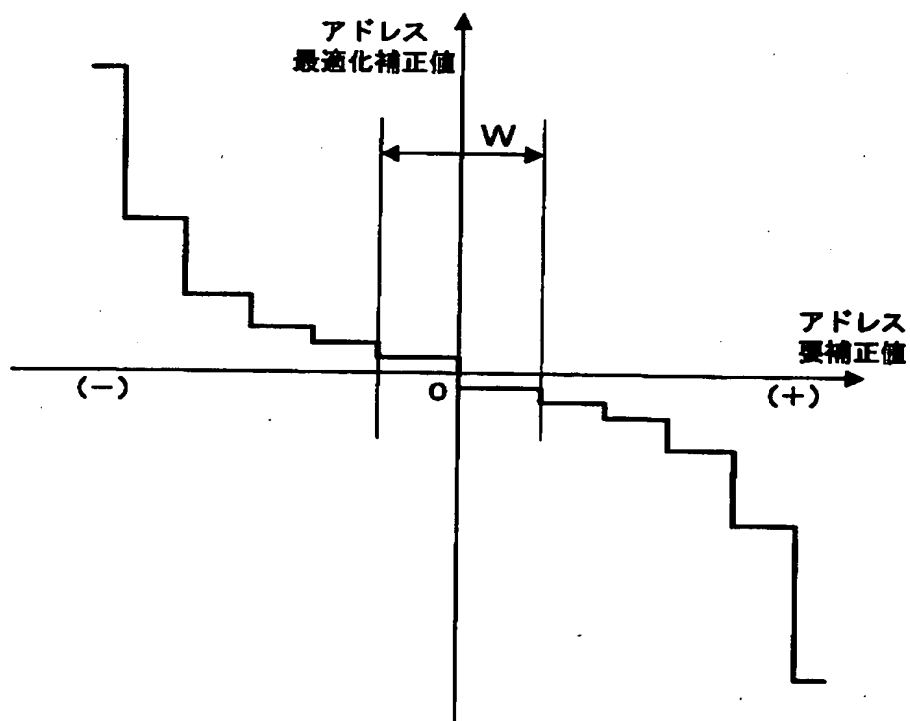
アドレス最適化制御回路のブロック図

【図5】



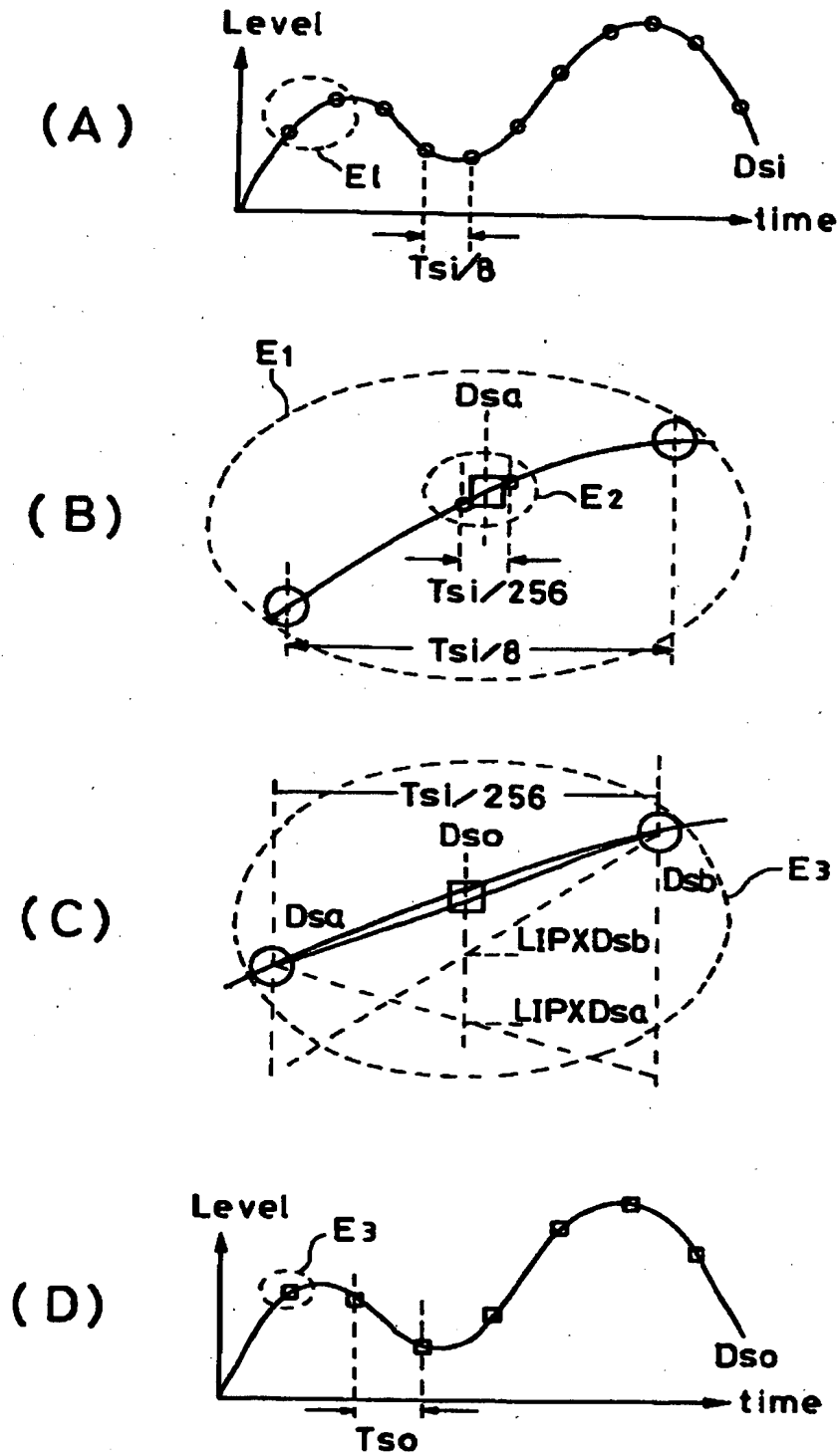
再標本化用バッファメモリの概略構成図

【図6】



アドレス差とアドレス最適化補正值の関係

【図 7】



【書類名】 要約書

【要約】

【課題】 サンプリング周波数の変換を行う際の、入力データと出力データの位相差（時間差）の制御が簡単にできるようにする。

【解決手段】 入力データ又は入力データをオーバーサンプリングしたデータを連続的に書込み、書込みアドレスに対して所定のアドレス差で書込まれたデータを連続的に読出す記憶手段13と、記憶手段13から読出されたデータを補間処理してサンプリング周波数が変換されたデータとする補間処理手段14とを備えてサンプリング周波数の変換を行う場合に、記憶手段13の書込みアドレスと読出しアドレスのアドレス差を最適化させる制御を行い、入力データが供給され始めてから所定期間、制限をつけずにアドレス差の最適化を実行させ、所定期間が経過した後、所定の制限を設定してアドレス差の最適化を実行させるようにした。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都品川区北品川6丁目7番35号
氏 名	ソニー株式会社